

PAT-NO: JP402195464A
**DOCUMENT-
IDENTIFIER:** JP 02195464 A
TITLE: MULTIPLEX DMA TRANSFER
EQUIPMENT

PUBN-DATE: August 2, 1990

INVENTOR-INFORMATION:

NAME	COUNTRY
HOSHINO, HIROYUKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC IBARAKI LTD	N/A

APPL-NO: JP01014579

APPL-DATE: January 24, 1989

INT-CL (IPC): G06F013/28

ABSTRACT:

PURPOSE: To omit initialization in each transfer and to increase a transfer speed by providing the equipment with files for storing various kinds of DMA transfer pattern conditions and a selector for selecting respective transfer patterns.

CONSTITUTION: When a DMA transfer is started from a microprocessor 60, DMA transfer setting conditions stored in register files 1 to 3 are sent to an address counter 70, a length counter 80 and a more register 90 and DMA transfer is executed under the conditions. After ending the DMA transfer, other set conditions selected by the selector 4 are sent again from the register files 1 to 3 to the counters 70, 80 and the register 90 and the DMA transfer is executed under the conditions.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報 (A)

平2-195464

⑬ Int.Cl.⁵
G 06 F 13/28

識別記号 310 H 庁内整理番号 8840-5B

⑭ 公開 平成2年(1990)8月2日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 多重DMA転送装置

⑯ 特 願 平1-14579
⑰ 出 願 平1(1989)1月24日

⑱ 発明者 星野 裕之 茨城県真壁郡関城町関館字大茶367-2 茨城日本電気株式会社内

⑲ 出願人 茨城日本電気株式会社 茨城県真壁郡関城町関館字大茶367-2

⑳ 代理人 弁理士 高橋 勇

明細書

1. 発明の名称 多重DMA転送装置

2. 特許請求の範囲

(1). 転送データを有するローカルメモリと、このローカルメモリと他装置との間で転送データを保持する FIFOバッファ回路と、前記ローカルメモリのアドレスを指定するアドレスカウンタと、転送データのバイト数をカウントするレングスカウンタと、転送対象の他装置や転送方向を指定するモードレジスタと、アドレスカウンタやレングスカウンタやモードレジスタの初期設定を行いDMA転送の起動・終了を管理するマイクロプロセッサーと、このマイクロプロセッサーからDMA転送の起動をかけるためのフリップフロップとを有する多重DMA転送装置において、

前記アドレスカウンタとレングスカウンタとモードレジスタの前段に、連続して行うDMA転送の設定条件を予約するためのレジスタファイルをそれぞれ配置し、このレジスタファイルに、当該レジスタファイルの中からファイルを選択するた

めのセレクタと、形態の異なるDMA転送を連続実行する回数を保持するとともにカウントし実行終了をマイクロプロセッサーに知らせるための転送カウンタ回路とを併設したことを特徴とする多重DMA転送装置。

2. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、多重DMA転送装置に係り、とくにマイクロプロセッサーに制御されて所定のデータを他装置にDMA転送する多重DMA転送装置に関する。

〔従来の技術〕

第3図に従来例を示す。この第3図の従来例は、転送データを有するローカルメモリ110と、このローカルメモリ110と他装置130との間で転送データを保持するFIFOバッファ回路120と、ローカルメモリ110のアドレスを指定するアドレスカウンタ70と、転送データのバイト

数をカウントするレンジスカウンタ80と、転送対象の他装置130や転送方向を指定するモードレジスタ90と、アドレスカウンタ70やレンジスカウンタ80やモードレジスタ90の初期設定を行うとともにDMA転送の起動・終了を管理するマイクロプロセッサー60と、マイクロプロセッサー60からDMA転送の起動をかけるためのフリップフロップ100とを備えている。

そして、この従来例においては、先ず、マイクロプロセッサー60から、アドレスカウンタ70にローカルメモリ110に対するスタートアドレスが、またレンジスカウンタ80に転送するワードカウント数が、さらにはモードレジスタ90に転送対象となる他装置の番号やリードかライトかといった転送方向が、それぞれ初期設定される。

マイクロプロセッサー60からフリップフロップ100にDMA転送の起動がかかると、アドレスカウンタ70に初期設定されたローカルメモリ110のアドレスからFIFOバッファ回路120を介して他装置130との間でデータ転送が始まる。

本発明の目的は、かかる従来例の有する不都合を改善し、とくに転送形態が異なるDMA転送を連続して動作させる場合に、次の転送のための初期設定をその都度行う必要がない多重DMA転送装置を提供することにある。

(課題を解決するための手段)

本発明では、転送データを有するローカルメモリと、このローカルメモリと他装置との間で転送データを保持するFIFOバッファ回路と、ローカルメモリのアドレスを指定するアドレスカウンタと、転送データのバイト数をカウントするレンジスカウンタと、転送対象の他装置や転送方向を指定するモードレジスタと、アドレスカウンタやレンジスカウンタやモードレジスタの初期設定を行いDMA転送の起動・終了を管理するマイクロプロセッサーと、マイクロプロセッサーからDMA転送の起動をかけるためのフリップフロップを有している。そして、連続して行うDMA転送の設定条件を予約するためアドレスカウンタとレン

ジスタファイルとモードレジスタの前段にそれぞれ配置されたレジスタファイルと、レジスタファイルの中からファイルを選択するためのセレクタと、形態の異なるDMA転送を連続実行する回数を保持・カウントし実行終了をマイクロプロセッサーに知らせるための転送カウンタ回路とを備えているという構成を探っている。これによって前述した目的を達成しようとするものである。

(作用)

マイクロプロセッサーからDMA転送の起動がかかると、レジスタファイルに記憶されているDMA転送の設定条件が、アドレスカウンタとレンジスカウンタとモードレジスタに送られ、その条件でDMA転送が実行される。DMA転送が終了すると、セレクタで選択された別の設定条件がレジスタファイルから再度に、アドレスカウンタとレンジスカウンタとモードレジスタに送られ、その条件でDMA転送が実行される。この動作は、転送カウンタ回路から終了信号がマイクロプロセ

(発明が解決しようとする課題)

しかしながら、上記従来例においては、ローカルメモリの異なるエリアとのアクセスや、異なる他装置とのアクセスや、転送方向が異なるアクセス等を含んだDMA転送を連続して行いたい場合には、アドレスカウンタ、レンジスカウンタ及びモードレジスタの初期設定をその都度やり直して再起動をしなければならず、そのための処理に多くの時間を要するという不都合があった。

(発明の目的)

ッサーに出力されるまで繰り返される。

(発明の実施例)

以下、本発明の一実施例を第1図ないし第2図に基づいて説明する。ここで前述した従来例と同一の構成部材については同一の符号を用いることとする。

第1図の実施例では、転送データを有するローカルメモリ110と他装置130との間で転送データを保持するFIFOバッファ回路120と、ローカルメモリ110のアドレスを指定するアドレスカウンタ70と、転送データのバイト数をカウントするレングスカウンタ80と、転送対象の他装置130や転送方向を指定するモードレジスタ90と、アドレスカウンタ70やレングスカウンタ80やモードレジスタ90の初期設定を行ってDMA転送の起動をかけるためのフリップフロップ100を有している。

さらに、連続して行うDMA転送の設定条件を予約するためアドレスカウンタ70とレングスカ

ウンタ80とモードレジスタ90の前段にそれぞれ配置されたアドレスレジスタファイル1、レングスレジスタファイル2及びモードレジスタファイル3と、レジスタファイルの中からファイルを選択するためのセレクタ4と、形態の異なるDMA転送を連続実行する回数を保持・カウントし実行終了をマイクロプロセッサー60に知らせるための転送カウンタ回路5とを具備している。

ここで、転送カウンタ回路5は、形態の異なるDMA転送を連続実行する回数を保持・カウントするための転送カウンタ51と、転送カウンタ51からのボロー信号を受けるとマイクロプロセッサー60にDMA転送終了の信号を出力するフリップフロップ52とを備えた構成となっている。

次に、本実施例の動作を第2図に基づいて説明する。

先ず、マイクロプロセッサー60の制御により、ローカルメモリ110をアクセスするエリアのスタートアドレスがアドレスレジスタファイル1に、ローカルメモリ110をアクセスするときのエリ

ア領域値すなわちワードカウント数がレングスレジスタファイル2に、転送の対象となる他装置の番号やリードかライトかの条件がモードレジスタファイル3に、それぞれセットされる(第2図(a)(b)(c))。

また、転送形態が異なるDMA転送を数パターン連続して実施する必要がある場合には、第2図の(a)(b)(c)(n)の動作を繰り返すとともに、各パターンの条件をアドレスレジスタファイル1、レングスレジスタファイル2及びモードレジスタファイル3にそれぞれ記憶させる。そして、転送カウンタ51にパターン数がセットされる。

マイクロプロセッサー60から、DMA転送起動のためにフリップフロップ100がセットされると、マイクロプロセッサー60の制御が介在しないハードウェアによるデータ転送がスタートする(第2図の(e))。

アドレスレジスタファイル1の内容がアドレスカウンタ70に、レングスレジスタファイル2の

内容がレングスカウンタ80に、モードレジスタファイル3の内容がモードレジスタ90に、それぞれ送出される(第2図の(f))。

これらの送出された内容に従って、FIFOバッファ回路120を介し、ローカルメモリ110と他装置130との間で1バイト分のデータが送受される(第2図の(g))。

そして、アドレスカウンタ70はカウトアップ、レングスカウンタ80はカウントダウンされる(第2図の(h))。この場合、レングスカウンタ80からボロー信号が出力されるまで第2図における(g)～(l)が繰り返される。

レングスカウンタ80からボロー信号が出力されると、セレクタ40が切り換えられ、転送カウンタ51がカウントダウンされる(第2図の(j))。そして、転送カウンタ51からボロー信号が出力されるまで第2図における(l)～(k)が繰り返される。

転送カウンタ51からボロー信号が出力されると、フリップフロップ100がセットされDMA

転送は終了する。そして、フリップフロップ100のセット信号がマイクロプロセッサー60に出力され、つきの処理へ移る。

〔発明の効果〕

以上のように、本発明によると、数種のDMA転送パターン条件を記憶させておくためのアドレスレジスタファイル、レンジスレジスタファイル及びモードレジスタファイルと、各転送パターンを選択するためのセレクタとを備えたことから、転送形態が異なるDMA転送でも連続して実行することが可能となり、転送速度が飛躍的に速くなるという従来にない優れた多重DMA転送方式を提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は第1図の動作を示すフローチャート、第3図は従来例を示すブロック図である。

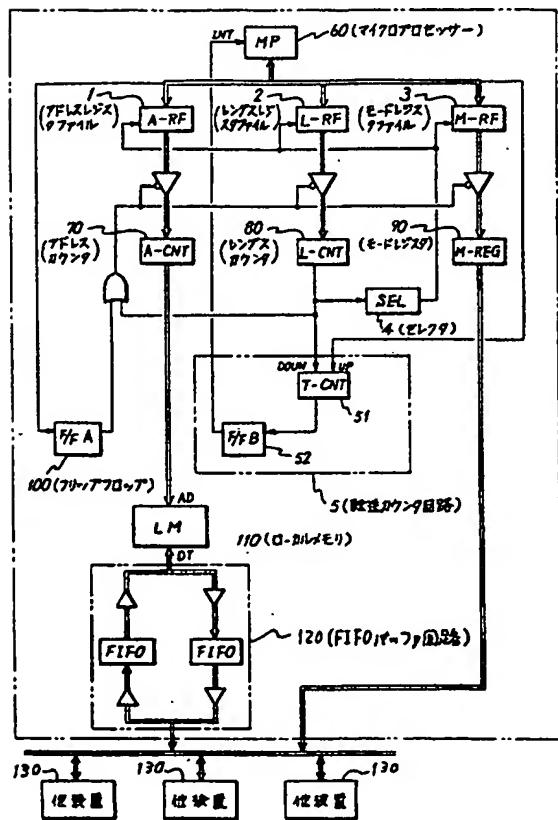
1…アドレスレジスタファイル、2…レンジス

レジスタファイル、3…モードレジスタファイル、4…セレクタ、5…転送カウンタ回路、60…マイクロプロセッサー、70…アドレスカウンタ、80…モードレジスタ、90…モードレジスタ、100…フリップフロップ、110…ローカルメモリ、120…FIFOバッファ回路、130…他装置。

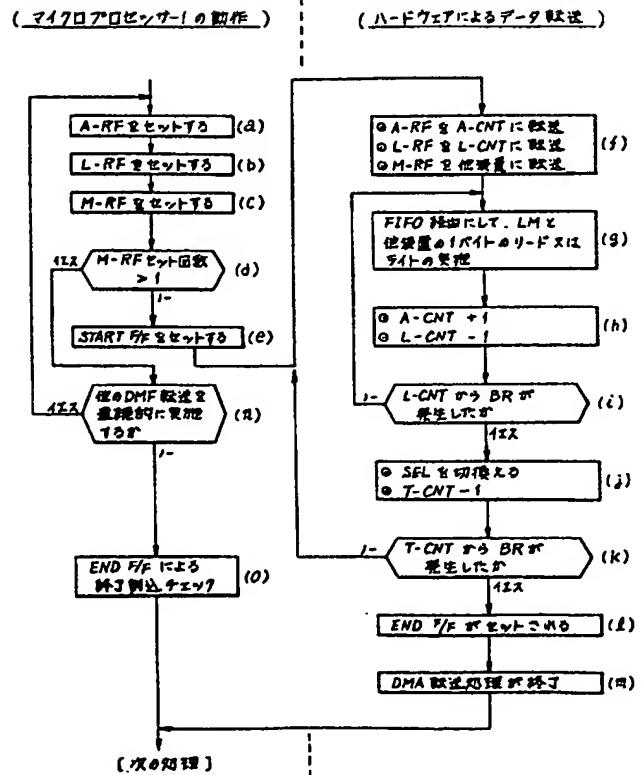
特許出願人 茨城日本電気 株式会社

代理人 弁理士 高橋 勇

第1図



第2図



第3図

